

Patent Abstracts of Japan

PUBLICATION NUMBER : 10185727
PUBLICATION DATE : 14-07-98

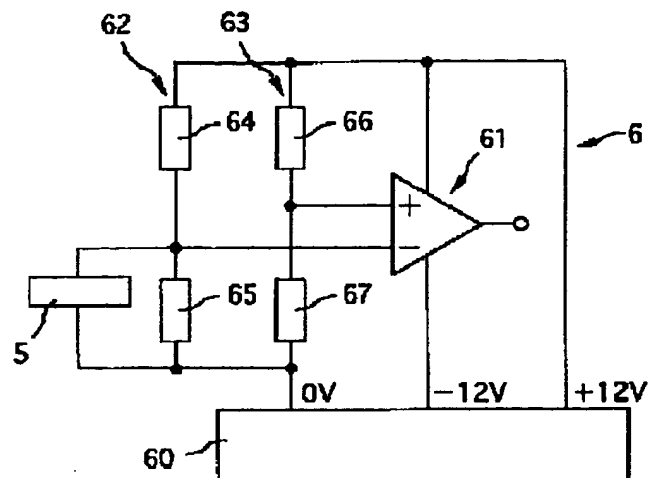
APPLICATION DATE : 27-12-96
APPLICATION NUMBER : 08350904

APPLICANT : TOYOTA CENTRAL RES & DEV LAB
INC;

INVENTOR : SAITOU YASUYOSHI;

INT.CL. : G01L 9/08 G01L 1/16 H01L 41/08

TITLE : PIEZOELECTRIC CONVERTER



ABSTRACT : PROBLEM TO BE SOLVED: To obtain a piezoelectric converter whose piezoelectric conversion sensitivity is excellent by a method wherein a DC bias voltage is applied to a piezoelectric element in a pressure application direction.

SOLUTION: Respective resistances 64 to 67 at bias resistance circuits 62, 63 are set at 10 MΩ or higher, and a DC bias voltage is applied to a piezoelectric element 5. An exciter is attached to the piezoelectric element 5, an acceleration of 1 G is given, resistance values of the respective resistances 64 to 67 are changed variously at a minimum resistance value or higher. Alternatively, instead of a constant-voltage power-supply circuit 60, a constant-voltage power-supply circuit whose output voltage can be changed is used, a DC bias voltage which is applied is changed variously, and a piezoelectric g-constant g_{33} (a constant indicating the magnitude of a signal voltage with reference to an applied pressure to a thickness direction) is measured. As a result, the piezoelectric g-constant g_{33} is increased sharply as compared with the case of no bias. In addition, as the DC bias voltage is increased, the piezoelectric g-constant g_{33} is increased.

COPYRIGHT: (C)1998,JPO

THIS PAGE BLANK (USPTO)

(51) Int.Cl.⁶

識別記号

F I

G 0 1 L 9/08

G 0 1 L 9/08

1/16

1/16

H 0 1 L 41/08

H 0 1 L 41/08

Z

審査請求 未請求 請求項の数1 O L (全 6 頁)

(21) 出願番号

特願平8-350904

(22) 出願日

平成8年(1996)12月27日

(71) 出願人 000003609

株式会社豊田中央研究所

愛知県愛知郡長久手町大字長湫字横道41番
地の1

(72) 発明者 斎藤 康善

愛知県愛知郡長久手町大字長湫字横道41番
地の1 株式会社豊田中央研究所内

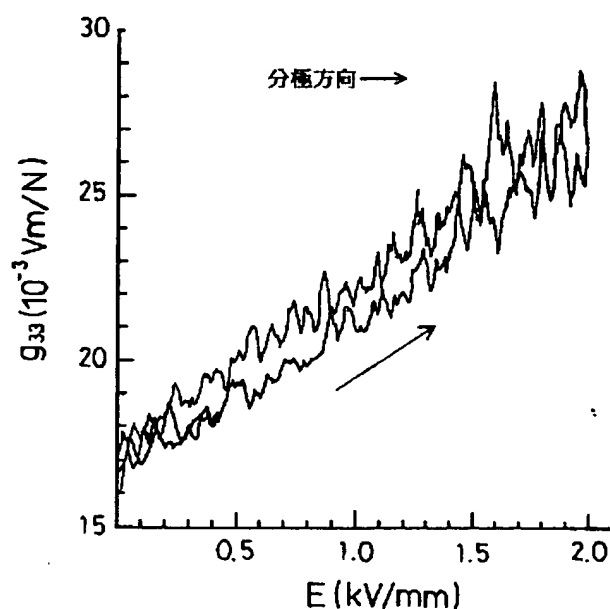
(74) 代理人 弁理士 大川 宏

(54) 【発明の名称】 圧電変換器

(57) 【要約】

【課題】優れた圧電変換感度をもつ圧電変換器を実現する。

【解決手段】圧電素子に直流バイアス電圧を印加するという回路的な工夫により圧電素子の圧電 g 定数 g_{33} (厚さ方向に印加される圧力と誘起信号電圧との関係を示す定数)を改善できることを発見した。すなわち、圧電素子に圧力印加方向に直流バイアス電圧を印加することにより、おそらくその結果として圧電素子の内部に圧力印加方向へ内部電界が生じて圧電材料にストレスが生じるために、圧電材料の圧電 g 定数 g_{33} が無バイアス状態時に比べて格段に増大するのであると思われる。



【特許請求の範囲】

【請求項1】 両主面にそれぞれ電極層を有し、圧力が厚さ方向に印加される薄膜状または薄板状の圧電素子と、前記圧電素子の両電極層間にバイアス電圧を印加するバイアス電圧印加手段と、前記圧電素子の両端間に生じた電圧を増幅する増幅手段と、を有することを特徴とする圧電変換器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、圧力を電圧に変換する圧電変換器に関する。本発明の圧電変換器は、たとえば電圧検出型のノックセンサ、加速度センサ、超音波センサに適用されることができる。

【0002】

【従来の技術】圧電素子の厚さ方向に印加される圧力に応じて信号電圧を発生する従来のノックセンサあるいは加速度センサのような圧電変換器（以下、本明細書では、単に圧電変換器という）では、その出力電圧 V_0 は、

$$V_0 = -g_{33} \times T_3 \times L$$

（ V_0 ：出力電圧、 g_{33} ：圧電 g 定数、 T_3 ：印加応力、 L ：圧電材料の厚さ）という理論式で規定される出力電圧を発生するため、従来、圧電 g 定数 g_{33} が大きい圧電材料を開発するために多大な努力が払われてきた。たとえば、特開昭57-87188号は均一な空孔を設けることにより、見掛けの圧電 g 定数 g_{33} を改善することを提案している。

【0003】

【発明が解決しようとする課題】しかしながら、上記公報記載の感度改善方法では、材料自身の強度が低下するため、エンジンなど激しい振動のある環境には使用できず、更に大きな荷重領域では使用できないという問題があった。本発明は、上記問題点に鑑みなされたものであり、優れた圧電変換感度をもつ圧電変換器を実現することをその第一の目的としている。また、本発明は、耐振性に優れた圧電変換器を提供することをその第二の目的としている。更に、本発明は、大荷重領域で使用可能な圧電変換器を提供することをその第三の目的としている。

【0004】

【課題を解決するための手段】請求項1記載の構成において、我々は、圧電素子に直流バイアス電圧を印加するという回路的な工夫により圧電素子の圧電 g 定数 g_{33} （厚さ方向に印加される圧力と誘起信号電圧との関係を示す定数）を改善できることを発見した。すなわち、圧電素子に圧力印加方向に直流バイアス電圧を印加することにより、おそらくその結果として圧電素子の内部に圧力印加方向へ内部電界が生じて圧電材料にストレスが生じるために、圧電材料の圧電 g 定数 g_{33} が無バイアス状態時に比べて格段に増大することを見出した。

【0005】直流バイアス電圧はこの圧力材料に圧力印加方向へ内部電界を持続的に生じさせるものであり、従来の製造段階における分極処理と同様の作用によりこの感度増大が生じるものと考えられる。ただ、従来の分極処理では、処理後における分極程度の低下などの問題から十分な分極の付与が困難であるのに対し、本発明の構成によれば、経時的に不変の内部バイアス電界を圧力印加方向に簡単に印加することができる。

【0006】なお、圧電材料自体はきわめて高抵抗値をもつので、この直流バイアス電圧の印加は、何らかの方法により圧電素子の電極層にバイアス電荷を注入することによりなすことができる。本発明の圧電変換器は、次に示す形態をとることができる。

(1) 請求項1記載の圧電変換器において、前記圧電素子は、正方晶系の結晶相を有する圧電材料を主成分とすることを特徴とする圧電変換器。

【0007】(2) 上記(1)記載の圧電変換器において、前記圧電素子は、 $Pb(Zr_x Ti_{1-x})O_3$ ($0 < x < 1$) を主成分とすることを特徴とする圧電変換器。

(3) 上記(1)または(2)記載の圧電変換器において、前記圧電材料は、厚さ方向に分極されていることを特徴とする圧電変換器。

【0008】(4) 上記(1)～(3)のうちのいずれか記載の圧電変換器において、前記バイアス電圧印加手段は、高インピーダンス成分を通じて前記両電極層間に前記バイアス電圧を印加することを特徴とする圧電変換器。

(5) 上記(1)～(3)のうちのいずれか記載の圧電変換器において、前記バイアス電圧印加手段は、圧力検出期間に遮断され、その他の期間の少なくとも一部において導通するスイッチを有し、前記スイッチを通じて前記両電極層間に前記バイアス電圧を印加することを特徴とする圧電変換器。

【0009】(6) 上記(1)～(5)のうちのいずれか記載の圧電変換器において、前記バイアス電圧印加手段は、印加される圧力範囲において前記バイアス電圧と前記信号電圧との合計が前記圧電素子の絶縁耐圧の10～60%になるように前記バイアス電圧を出力することを特徴とする圧電変換器。

(7) 上記(1)～(6)のうちのいずれか記載の圧電変換器において、前記バイアス電圧印加手段は、前記圧電素子が出力する信号電圧を増幅するセンサアンプに電源電圧を給電する定電圧電源回路から給電されることを特徴とする圧電変換器。

【0010】上記(1)記載の圧電変換器によれば、圧電素子は、正方晶系の結晶相を有する圧電材料を主素材として作製される。実験によれば、正方晶系の結晶相を有する圧電材料に直流バイアス電圧を印加することにより特に優れた圧電 g 定数 g_{33} を得ることができた。上記

(2) 記載の圧電変換器によれば、圧電素子は、 $Pb(Zr_x Ti_{1-x})O_3$ ($0 < x < 1$) を主素材として作製される。実験によれば、 $Pb(Zr_x Ti_{1-x})O_3$ ($0 < x < 1$) に直流バイアス電圧を印加することにより特に優れた圧電 g 定数 g_{33} を得ることができた。

【0011】上記(3)記載の圧電変換器によれば、圧電素子は、厚さ方向に分極された圧力材料を主素材として作製される。実験によれば、厚さ方向に分極された圧電材料に直流バイアス電圧を印加することにより特に優れた圧電 g 定数 g_{33} を得ることができた。上記(4)記載の圧電変換器によれば、バイアス電圧印加手段は、高インピーダンス成分を通じて両電極層間にバイアス電圧を印加する。このようにすれば、圧電素子の両端に発生した信号電圧が直流バイアス電圧印加手段への放電により減衰することがなく、信号電圧を増大することができる。なお、上記高インピーダンス成分はバイアス電源自体の出力インピーダンスとしてもよいことは当然である。

【0012】上記(5)記載の圧電変換器によれば、バイアス電圧印加手段は、スイッチを通じて圧電素子にバイアス電圧を印加し、バイアス電圧印加手段は、圧力検出期間に遮断され、その他の期間の少なくとも一部において導通される。このようにすれば、圧力検出期間中における並列抵抗成分による放電によって信号電圧が減衰することがほとんどないので信号電圧を増大することができる。

【0013】上記(6)記載の圧電変換器によれば、バイアス電圧印加手段は、印加される圧力範囲において直流バイアス電圧と信号電圧との合計電圧が圧電素子の絶縁耐圧の10～60%になるようにバイアス電圧を圧電素子に印加する。合計電圧が上記範囲未満の場合、圧電 g 定数 g_{33} の減少により信号電圧が小さくなり、合計電圧が上記範囲を超える場合、信頼性が低下する。

【0014】上記(7)記載の圧電変換器によれば、バイアス電圧印加手段は、圧電素子が出力する信号電圧を増幅するセンサンプに電源電圧を給電する定電圧電源回路から給電されるので、回路構成及び配線が簡素となる。

【0015】

【発明を実施するための形態】圧電素子に用いる圧電材料としては、正方晶系の結晶相を有する圧電材料、たとえば $Pb(Zr_x Ti_{1-x})O_3$ のようなPZT(チタン酸ジルコン酸塩)などが好適であるが、本発明の原理が圧力印加方向へ内部電界を持続的に付与することにより分極処理同様の感度改善を図るものであることから、正方晶系の結晶相を有する圧電材料以外の他の圧電材料にも当然、有効である。これら圧電材料は従来同様、スパッタリングなどの薄膜形成方法で薄膜形状に形成してもよく、さらにはホットプレスしたりして薄板形状に形成してもよい。

【0016】圧電素子は、厚さ0.1～20 μm 、特に厚さ0.2～10 μm とすることが好ましい。厚さが0.1 μm 未満であれば良好な圧電性を有する膜が得られないという問題や強度が弱く破壊し易いという問題が生じ、厚さが20 μm を超えるとバイアス電圧印加手段の高電圧化がコスト増加の要因となる。この厚さの制約から、本発明の圧電変換器は薄膜作製法で作製することが特に好ましい。

【0017】薄膜を作製する基板には、ガラス基板、セラミックス基板、マグネシア単結晶基板、チタン酸ストロンチウム基板、シリコン単結晶基板など、圧電材料を結晶化して作製できる基板であればよい。検出感度を上げるために、薄膜形成後、基板をエッチング除去してダイヤフラムを形成してもよく、この場合にはエッチングしやすいマグネシアやシリコン基板を採用することができる。

【0018】特に、シリコン基板を薄膜形成基板とすれば、その上にセンサンプを集積することができ、放電抵抗やバイアス電圧印加手段、さらにはそれらに定電源電圧を給電する定電圧電源回路なども集積することができ、配線引き回しが少なくローノイズ化された圧電変換器を実現することができる。薄膜作製法としては、スパッタ、蒸着、CVD、レーザースパッタ、ゾルゲル法のどれでもよく、圧電材料を結晶相として形成できればよい。薄膜の微構造は、無配向膜でよい。ただし配向膜、単結晶膜であってもバイアス電圧印加により上記と同様の感度向上効果を奏することができる。

【0019】バイアス電圧印加手段は高インピーダンス成分を通じてバイアス電圧を印加することが重要である。すなわち、圧電素子に生じる信号電荷は小量であり、バイアス電圧印加手段が低インピーダンス成分を通じて圧電素子に接続されていると、圧電素子に発生した信号電荷がこの低インピーダンス成分を通して放電するため、得られる信号電圧が減衰してしまう。

【0020】好適例において、圧電素子からみて、バイアス電圧印加手段及びアンプを含む次段回路は10Mオーム以上の抵抗を持つことが望ましい。なお、圧電素子からみたこの次段回路のインピーダンスのばらつきは感度ばらつきを生じるので、アンプの入力インピーダンスより小さい所定の抵抗値をもつ放電抵抗を圧電素子と並列に接続してもよい。

【0021】バイアス電圧印加手段がスイッチを通じて圧電素子にバイアス電圧を印加し、このスイッチを圧力検出期間に遮断信号電荷、それ以外の期間の少なくとも一部の期間に導通させることもできる。このようにすれば、圧力検出期間すなわち信号電圧発生期間において、信号電荷がバイアス電圧印加手段へリークするのを防止することができる。

【0022】センサンプは高入力インピーダンスをもつ必要があり、誘導ノイズの重畳を低減し、信号電圧の

増大を図るという点から、圧電素子とセンスアンプとを接続する配線をできるだけ短縮して、そのインダクタンス及び寄生容量を低減することが好ましい。また、同様の理由により、バイアス電圧印加手段をなすバイアス電圧印加回路と圧電素子とを接続する配線もできるだけ短縮することが好ましい。

【0023】この点から、圧電素子が形成されるシリコンなどの半導体基板にセンスアンプ、定電圧電源回路、バイアス電圧印加回路を集積し、この定電圧電源回路よりバイアス電圧印加回路及びセンスアンプに電源電圧を給電することが好ましい。上記したノイズ低減及び信号電圧増大のための各種方策を取ることに、圧電変換素子を小型化しても十分なSN比をもつ信号電圧を出力する圧電変換器を実現することができる。

【0024】

【実施例】本発明の好適な態様である実施例を図1を参照して説明する。ガラス基板1上に白金電極2をマグネトロンスパッタ法にて200nmの厚みに作製した。次に、 $\text{PbTiO}_3 - \text{PbZrO}_3 - \text{Pb}(\text{Ni}_{1/3}\text{Nb}_{2/3})\text{O}_3$ 組成の原料をマグネトロンスパッタ法で厚み1 μm に蒸着して圧電薄膜3を形成した。形成した膜は、正方晶の結晶相を有する多結晶無配向膜であった。

【0025】この上部に厚み200nmの白金電極4を上記と同じプロセスで作製した。次に、両電極層2、4を回路部6の入力端に接続した。薄膜の分極は、100 $^\circ\text{C}$ で10kV/mmの電界を加えて10分間行なった。回路部6の一例を図2に示す。回路部6は、定電圧電源回路60と、FET入力のおペアンプ61と、バイアス抵抗回路62、63とからなる。バイアス抵抗回路62は、抵抗64、65を直列接続した分圧回路であって定電圧電源回路60から12Vを給電されてその接続点から所定電圧のバイアス電圧を圧電素子5に印加している。バイアス抵抗回路63は、抵抗66、67を直列接続した分圧回路であって定電圧電源回路60から12Vを給電されてその接続点から所定電圧の参照バイアス電圧をおペアンプ61の負入力端に印加している。バイアス抵抗回路62は、その接続点から所定電圧のバイアス電圧を圧電素子5に印加している。おペアンプ61は定電圧電源回路60から正負の電源電圧を給電されるとともに、正入力端に信号電圧が印加されている。

【0026】バイアス抵抗回路62、63の各抵抗64～67は、10Mオーム以上とされ、圧電素子5に直流バイアス電圧を印加する。当然、抵抗64、66は等しい抵抗値に設定され、抵抗65、67は等しい抵抗値に設定されている。圧電素子5を加振機に取り付けて1Gの加速度を与え、各抵抗64～67の抵抗値を上記最小抵抗値以上で種々変更して、または、定電圧電源回路60のかわりに出力電圧変更可能な定電圧電源回路を用いて、圧電素子5に印加する直流バイアス電圧を種々変更し、上記圧電g定数 g_{33} を測定した。その結果を、図3

に示す。ただし、直流バイアス電圧は分極方向と同一方向へ印加した。

【0027】図3から、圧電g定数 g_{33} （厚さ方向への印加圧力に対する信号電圧の大きさを示す定数）は、無バイアス時に比べてバイアス電圧が2kV/mmの場合において約1.65倍となることがわかった。更に、バイアス電圧を2kV/mm以上6kV/mmまで増加したところ直流バイアス電圧の増大とともに圧電g定数 g_{33} が増大することがわかった。

【0028】次に、上記圧電素子5に、分極方向及びそれと逆方向にバイアス電圧を値を変えて印加した場合における圧電g定数 g_{33} の変化を測定した。その結果を図4に示す。図4から、直流バイアス電圧は分極方向と同一方向、つまり分極処理により圧電素子5の内部に生じた内部電界を増強する方向に印加する方が一層有効であることがわかる。すなわち、印加される直流バイアス電圧による内部電界と分極処理により残留する内部電界とが同一方向であると、両者が加算されて強力な内部電界が圧電素子5の内部に生じ、これにより高い圧電g定数 g_{33} （圧電縦効果定数）が得られることがわかった。

【0029】さらに、高電圧を印加した場合の圧電素子5の強度を微小強度試験法（丸圧子押しつけ法）で測定したところ、電界を印加しない場合と同じ、100MPaの強度が得られた。

（変形態様1）回路部6の変形態様を図5に示す。

【0030】この態様では、ボルテージホロワ回路61aを用いることにより、図2のバイアス抵抗回路63を省略している。抵抗素子の省略はそれに発生する抵抗雑音の減少を実現できるので、SN比を一層向上することができる。

（変形態様2）回路部6の変形態様を図6に示す。

【0031】この態様は、図5においてバイアス抵抗回路62も省略したものであり、バイアス電圧は定電圧電源回路60から、MOSTランジスタ68またはJFETからなるスイッチ68を通じて圧電素子5に印加され、スイッチ68は電子制御ユニットECU（図示せず）からのクロック電圧 V_c により断続制御される。 C_s は寄生容量である。この圧電変換器を4気筒エンジンのノック検出用に用いた例を図7に示す。

【0032】 C_1 は第1気筒のサイクルを示し、 C_2 は第2気筒のサイクルを示し、 C_3 は第3気筒のサイクルを示し、 C_4 は第4気筒のサイクルを示す。 V_{c1} は第1気筒に設けられる圧電変換器のスイッチ68のゲート電極に印加するクロック電圧であり、 V_{c2} は第2気筒に設けられる圧電変換器のスイッチ68のゲート電極に印加するクロック電圧であり、 V_{c3} は第3気筒に設けられる圧電変換器のスイッチ68のゲート電極に印加するクロック電圧であり、 V_{c4} は第4気筒に設けられる圧電変換器のスイッチ68のゲート電極に印加するクロック電圧である。各クロック電圧は、それぞれの気筒の

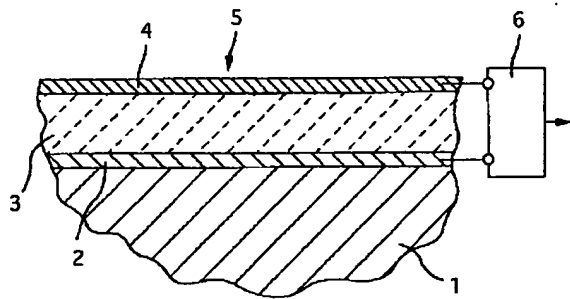
圧縮期間の後半部分を含む期間に遮断され、それ以外の期間に導通される。

【0033】このようにすれば、気筒圧を検出すべき圧縮期間の後半において、各スイッチ68は遮断されるので、KTC雑音と呼ばれるリセット雑音がわずかに重畳するものの、この信号検出期間において抵抗雑音やバイアス電圧変動に起因するノイズが信号電圧に重畳せず、優れたSN比をもつ信号電圧を得ることができる。なお、この場合においても、たとえばボルテージホロワ回路などのセンサンプで増幅された信号電圧はローパスフィルタにより高周波数のサンプリング電圧成分をカットすることができるほか、上記スイッチ68の導通期間に信号電圧をサンプリングしてもよく、回路処理が複雑化することはない。

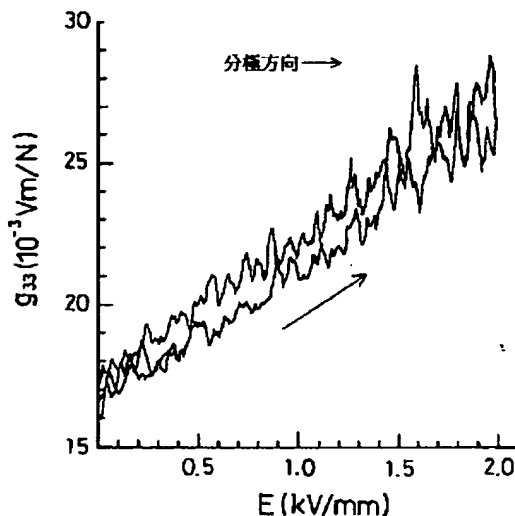
【図面の簡単な説明】

【図1】実施例の圧電素子5の部分縦断面図である。

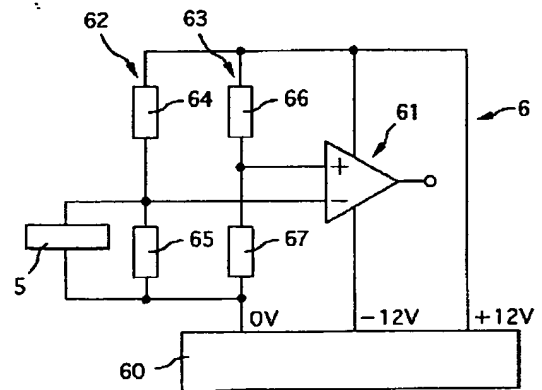
【図1】



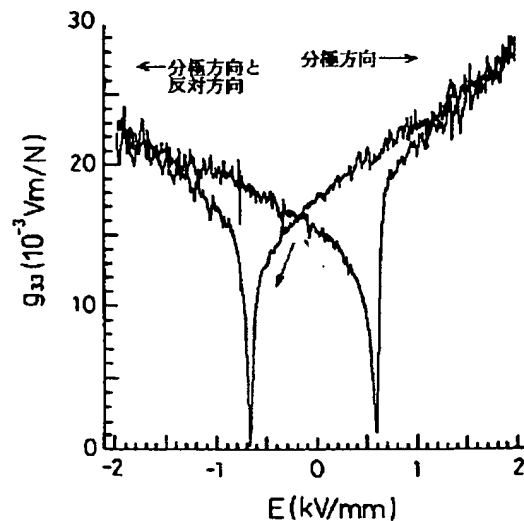
【図3】



【図2】



【図4】



【図2】図1の回路部6の一例を示す回路図である。

【図3】図1の圧電素子5の圧電g定数 g_{33} （分極方向にバイアス電界を印加した場合）を示す特性図である。

【図4】図1の圧電素子5の圧電g定数 g_{33} （分極方向及びその反対方向にバイアス電界を印加した場合）を示す特性図である。

【図5】図2の回路部6の変形例を示す回路図である。

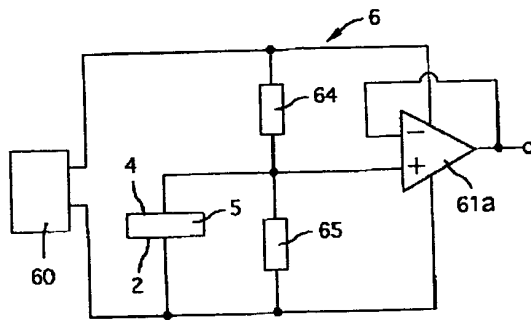
【図6】図5の回路部6の変形例を示す回路図である。

【図7】図6の回路部6を4気筒エンジンのノックセンサに適用した場合のクロック電圧波形を示すタイミングチャートである。

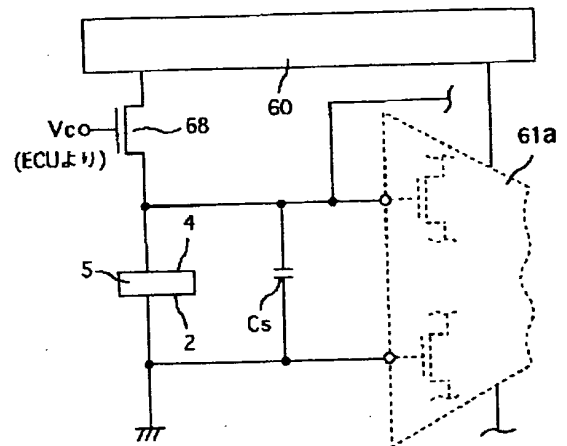
【符号の説明】

1は基板、2、4は白金電極、3は圧電薄膜、5は圧電素子、6は回路部（本発明でいうバイアス電圧印加手段）である。

【図5】



【図6】



【図7】

C1	燃焼	排気	吸入	圧縮	燃焼	排気
C2	圧縮	燃焼	排気	吸入	圧縮	燃焼
C3	吸入	圧縮	燃焼	排気	吸入	圧縮
C4	排気	吸入	圧縮	燃焼	排気	吸入

